**گزارش دستورکار دوازدهم آزمایشگاه معماری کامپیوتر**

نگار موقتیان، 9831062

**ماژول basic\_computer**

در این آزمایش می­خواهیم یک مدار مطابق شکل زیر طراحی کنیم:



در این مدار اجزاء مختلفی داریم. یک حافظۀ فقط خواندنی یا ROM که داده­هایی را به صورت پیشفرض در خود ذخیره کرده است، 4 عدد ثبات که برای ذخیرۀ ورودی­ها، نگهداری حاصل بدست آمده از ALU و latch کردن خروجی نهایی استفاده می­شوند، یک واحد محاسباتی ALU و یک حافظۀ RAM که پاسخ نهایی را در خود ذخیره می­کند. در ادامه توضیح دقیق­تر هر یک از این اجزاء آمده است.

**ماژول ROM16x8**

این ماژول یک حافظۀ فقط خواندنی ROM با کلمه­های 8 بیتی و 16 ردیف را شبیه سازی می­کند و مشابه ماژول استفاده شده در آزمایش نهم می­باشد. به علاوه به طور پیشفرض محتوای داخل هر خانه، 5 به علاوۀ شمارۀ خانه (یا همان ردیف) در نظر گرفته شده است. این حافظه یک آدرس را به عنوان ورودی گرفته و محتوای خانۀ مربوط به آن آدرس را در خروجی تحویل می­دهد.

**ماژول ALUx8**

این ماژول یک واحد محاسبات ALU با ورودی­های 8 بیتی را شبیه سازی می­کند و مشابه ماژول استفاده شده در آزمایش دهم می­باشد. در این مدار ورودی­های آن محتوای داخل ثبات­های REG\_1 و REG\_2 بوده و حاصل مربوطه در ثبات REG\_res ذخیره می­شود. همچنین طبق طراحی از پیش انجام شده زمانی که پایه­های کنترلی این ALU مقدار “000” داشته باشند ALU عمل جمع را انجام می­دهد. بنابراین برای این آزمایش از این مقدار برای پایه­های کنترلی استفاده می­کنیم.

**ماژول REGx8**

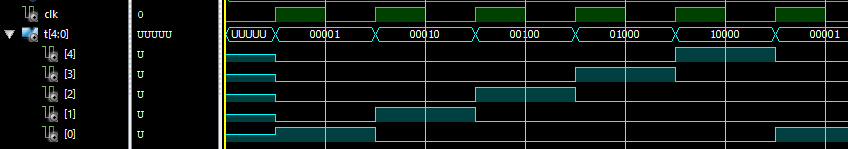
این ماژول برای شبیه­ سازی یک ثبات 8 بیتی استفاده می­شود و در اینجا به صورت رفتاری و با یک پایۀ ریست سنکرون طراحی شده است. در عمل نیز برای ساخت چنین ثباتی نیاز به یک مجموعۀ 8 تایی از فلیپ­فلاپ­های نوع D با کلاک و ریست مشترک داریم. همچنین این ثبات یک پایۀ LOAD دارد که در صورت یک بودن آن داده جدید (D) وارد ثبات می­شود، در غیر این صورت دادۀ قبلی نگهداری می­شود.

**ماژول pulse\_generator**

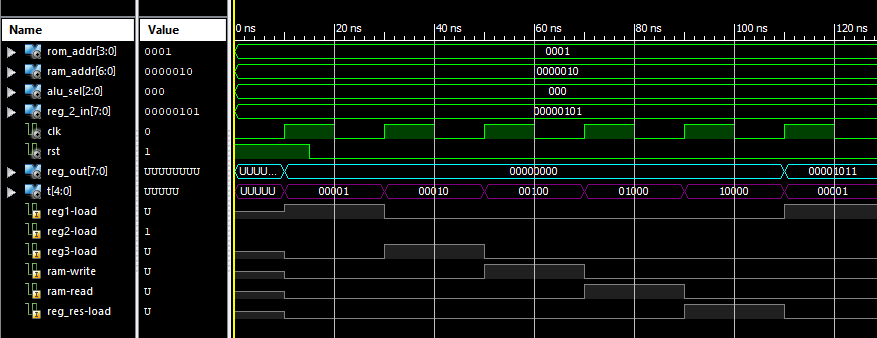
این ماژول نقش اساسی­ای دارد و ترتیب انجام مراحل زیر را برای هر یک از اجزاء مدار مشخص می­کند:

1. خواندن داده از ROM و ذخیرۀ آن در REG\_1
2. ذخیرۀ حاصل ALU در ثبات REG\_res
3. نوشتن پاسخ بدست آمده در حافظۀ RAM
4. خواندن خانۀ مربوطه (طبق دستورکار خانۀ دوم) از RAM
5. ذخیرۀ دادۀ خوانده شده از RAM در ثبات REG\_out

5 مرحله داریم، بنابراین این ماژول در هر لبۀ بالاروندۀ کلاک یک پالس ایجاد می­کند و در کل 5 پایۀ خروجی (T(0) تا T(4)) مانند شکل زیر دارد (این مقدار 5 به صورت generic تعریف شده و قابل تغییر می­باشد). به علاوه یک پایۀ ریست سنکرون دارد که برای ست کردن خروجی­ها به مرحلۀ اول استفاده می­شود.



و شکل سیگنال­های ورودی و خروجی شبیه سازی مدار با توجه به این مقادیر مطابق شکل زیر است.



همانطور که در این شکل دیده می­شود مراحل همانطور که در بالا توصیف شد در حال انجام هستند و در نهایت خروجی مورد انتظار در REG\_out دیده می­شود (مقدار خانه اول ROM برابر است با 6، همچنین عددی که به عنوان ورودی داده­ایم برابر است با 5. بنابراین در نهایت انتظار خروجی 11 یا همان 2(00001011) را داریم).